第4章 层次原理图设计

教学目的:掌握层次原理图设计。掌握多通道层次原理图设计。了解各种报表的生产和编译查错。

教学重点:掌握层次原理图设计,掌握多通道层次原理图的设计。

教学难点:掌握层次原理图设计。

教学内容: 层次式电路图的结构、编译与查错、生成各种报表、打印输出、多通道原理图设计。

教学方法:理论讲解与举例相结合,讲例图时老师边讲学生边练,上机操作,主要上课地点机房。

教学进度:本内容为8学时,理论4学时,上机4课时。

参考资料: Altium Designer 实用教程——原理图与 PCB 设计(邓荣春主编, 2017年1月), 132-172页。

教学内容

4.1 层次式电路图的结构

层次式电路原理图是将复杂的电路分成若干个小的部分分别绘制,但是层次式原理图结构清晰,可 读性更强。层次式原理 图设计可被看作是逻辑方块图之间的层次结构设计,大致可以将层次式原理图分 为层次式 母图和层次式子图,层次式母图中电路由若干个图纸符号电气连接构成,而各个图纸符号 都 连接到不同的层次式子图。层次式子图就是各功能原理图,由具体的元器件电气连接构成,然后封装成 图纸符号并加上图纸入口在层次式母图中显示。





我们仍然以单片机系统为例,将其改为层次式电路原理图结构。如图 4-1 所示,该系统将由母图 "MAIN.SchDoc"和四个功能子图构成,各功能子图在母图中以图纸符号的形式显示,并构成电气连接, 使得各功能子图之间的联系一目了然,因此层次式电路原理图设计成为了当前为流行的原理图设计方式。

4.1.1 放置图纸符号及其属性设置

在具体的设计层次式原理图之前我们先介绍一下层次式电路原理图设计所必须的图纸符号以及用来 形成电气连接的图纸入口和端口。绘制图纸符号及其属性设置:图纸符号代表一个实际的电路原理图,

执行【放置】|【图表符】命令或是点击布线工具栏按钮进入图纸符号绘制状态。此时光标变成十字状,点击鼠标左键确定图纸符号对角线的第一个点,然后移动鼠标拖出一个矩形的图纸符号到合适的大小后再次点击鼠标左键确认。至此一个原理图符号就设置完成了,可以继续放置原理图符号或者点击鼠标右键结束放置状态。在绘制过程中按【Tab】键或是绘制完成后双击图纸符号进入图纸符号属性设置对话框,如图 4-2 所示。图纸符号的外观属性与前面所介绍的矩形等集合图形的设置类似,下面仅仅详细介绍【方块符合】选项卡里面的内容。

方块符号	?	×
道具参数		
位置 330 520 边界颜色 ☑ 拖快实体 填充颜色	Y-Size 80	
· 通目	—————————————————————————————————————	
過央 设计者 Designator 唯一ID	RUWCAUNI 新安	+
文件名 File Name ····	□显示此处隐藏文本文件	2
	□锁定	
	确定 即	消

图 4-2 图纸符号属性设置对话框

【设计者】标识符:图纸符号的标号与元器件的标号一样是唯一的,可以设置为对应电路原理图的 文件名,便于理解。

【文件名】文件名: 图纸符号所对应的电路原理图的文件名, 这一属性是原理图符号重要的属性,

读者可以自己在后面的文本框中填入原理图文件名,或是点击 按钮在弹出的引用文件选择对话框中选择对应的原理图文件。如图 4-39,该对话框中列出了当前工程文件中所有可供使用的原理图文件,需注意的 是,这里的元件名并不支持中文。

【唯一Id】ID 号: 该编号由系统自动产生,不用修改。

【显示此次隐藏文本文件】显示隐藏文本:显示隐藏的文字字段。

【锁定】锁定:锁定该原理图符号,防止误修改。

Choose Document to Reference			?	×
文件名	/ 文件路径			
🖃 🚞 Schematic Documents				
MEM SchDoc				
OSC.SchDoc				
	ii)	腚	取消	í

图 4-3 引用文档选择对话框

4.1.2 放置图纸入口及其属性设置

图纸符号之间的电气连接通过图纸入口来完成,图纸入口是以图纸符号为载体的,因此只有在绘制 好图纸符号之后才能在图纸符号的上面放置图纸入口。 执行菜单栏的【放置】/【添加图纸入口】命令或是点击工具栏的 按钮进入图纸入口放置状态, 此时光标会变成十字状并附带着一个图纸入口符号,如图 4-4 左图,此时图纸符号呈暗灰色显示是因为图 纸入口处于图纸符号之外,还没有进入其作用区域。当光标移至图纸符号之内后,图纸符号会自动粘附 到图纸符号的四壁,选择合适的位置,点击鼠标左键固定图纸入口符号。



图 4-4 放置图纸入口

在图纸入口的放置过程中按下【Tab】键或是双击放置好的图纸入口进行图纸入口的属性设置,如图 4-5 所示,下面对图纸入口的主要属性设置进行详细介绍。

【边】:即图纸入口符号所在的位置,可以选择为【Left】靠左、【Right】 靠右、【Top】靠上和【Bottom】 靠下;

【类型】: 该选项用来设置图纸入口处在不同位置时箭头方向。

【种类】: Altium Designator 提供了四种箭头的种类, 【Block&Triangle】方块加三角形、 【Triangle】 三角形、 【Arrow】箭头状、 【Arrow Tail】带箭尾的箭头。

【命名】: 这里的名称即为图纸入口的网络名。

【I/O 类型】: 该类型即为内层电路的信号流向,可以设置为【Unspecified】未定义的、【Output】输出、【Input】输入以及【Bidirectional】双向的。需注意的是该项属性的设置不当的话会影响到原理图编译的结果。



图 4-5 图纸入口属性设置

4.1.3 放置端口及其属性设置

与图纸入口相对应的就是端口,图纸入口只是图纸符号与外部电路的接口,图纸符号要与其对应的电路原理图产生联系就必须通过【Port】端口。

D

执行【放置】/【端口】命令或是点击工具栏的 按钮进入电路原理图端口放置状态,此时十字形的光标上粘附了一个端口符号,移到合适的位置后单击鼠标左键确认端口的一个端点,然后拖动鼠标改 变端口的长度,再次单击鼠标左键就能完成端口的绘制。如图 4-6 所示。



图 4-6 端口的绘制

绘制过程中按下【Tab】键或是双击放置完成的端口,弹出图 4-7 所示的端口属性设置对话框,端口属性设置有【绘制成】和【参数】设置两个选项卡,大部分参数和前面所介绍的其他图件设置类似,在此仅介绍几个重要的属性。

【队列】: 设置端口里面文字的对齐方式,可以设置为"Center"居中、"Left"居左、"Right"居右 对齐,如图 4-8 所示。

【类型】: 这里的样式与图纸入口的样式一样,用来设置端口箭头的方向。

【命名】:端口所连接的网络名,通常端口的名称与图纸入口的名称一致。

【I/O 类型】: 该类型描述了电路的信号流向,可以设置为【Unspecified】未定义的、【Output】输出、 【Input】输入以及【Bidirectional】双向的。



图 4-8 端口文本的对齐方式

4.1.4 自上而下的电路原理图设计

上面介绍了层次式原理图中基本组成要素的绘制,接下来我们以单片机系统为例,介绍两种绘制层 次式原理图的方法。根据层次式电路原理图绘制顺序的不同可以分为自上而下和自下而上两种设计方法。 自上而下顾名思义,就是根据电路原理将电路划分为若干个组成模块,先在层次式母图中绘制出个模块 的方框图,以及电气连线,然后由系统生成各方块图的实际电路图并绘制实际电路。

1) 绘制层次式电路母图

创建新的电路原理图工程,命名为"层次电路图.PrjPcb",并添加原理图文件"MAIN.SchDoc"用来 绘制层次式母图。

添加单片机系统功能模块:按照前面所介绍的方法绘制一个图纸符号,命名为"OSC",并添加时钟 模块输出接口"CLOCK"端口的【I/O 类型】请按照图 4-9 中的示例进行设置。

添加电源系统功能模块: 绘制一个 CPU 模块的图纸符号,命名为 "CPU",该模块添加图纸入口时 钟输入"CLOCK"和连接存储器的控制接口"RD"、"256CE"以及地址总线"A[0..14]"和数据总线"D[0..7]" 四个图纸入口。

添加显示系统功能模块: 绘制一个存储器模块的图纸符号, 命名为"MEM", 并添加与 CPU 连接的 接口 "RD"、"256CE"、"A[0..14]" 和 "D[0..7]"。

电气连线: 绘制导线连接各图纸符号相对应的端口, 注意 A[0..14]和 D[0..7]之间采用总线连接。 绘制好的层次式电路母图如图 4-9 所示:



图 4-9 层次式电路母图

2) 绘制层次式电路子图

由图纸符号生成原理图:执行主菜单【设计】/【产生图纸】命令,光标变成十字状,将光标移至名称为"OSC"的图纸符号上点击确认,系统会自动建立一个"OSC.SchDoc"的原理图文件,并且会生成与图纸入口相对应的端口,如图 4-10 所示。再分别创建"CPU"和"MEM"的原理图。



图 4-10 由图纸符号生成原理图

绘制显示电路子图:根据上一章接讲述的绘制原理图的方法把时钟部分"OSC"原理图绘制出来,并调整端口的位置,使原理图布局合理,如图 4-11 所示:



图 4-11 OSC 部分的层次式电路子图

绘制其他部分的层次式电路子图:单片机系统部分 CPU、存储器部分 MEM 的层次式子图可参考图 4-12 与图 4-13。



图 4-12 CPU 部分的层次式电路子图





编译层次式电路原理图:执行【Projects】菜单的【Compile PCB Project 层次原理图.PrjPcb】编译工程,编译成功后【Projects】面板中的文件会以层次式结构显示。

Workspace1.DsnWrk	•	工作台
层次原理图.PrjPcb		工程
●文件视图 ○ 构在编辑器		•اف
□ 🔤 层次原理图 . PrjPcb		
E Source Documents		
🖃 🚅 MAIN.SchDoc		6
GSC.SchDoc		B
CPU.SchDoc		8
		B

图 4-14 原理图文件的层次式显示

双击总图图纸符号会打开图纸符号的属性设置对话框,按住【Ctrl】键的同时双击图纸符号则会打开

对应的电路原理图;也可以通过工具栏的 上下层按钮,鼠标会出现"十"字光标,将光标移至图纸

符号鼠标左键单击,也可以打开对应的电路原理图。

4.1.5 自下而上的电路原理图设计

自下而上的层次式原理图设计方法与自上而下的设计方法刚好相反,在自下而上的原理图设计中, 设计者首先设计好各部分的电路原理子图,然后再由子图来生成层次式原理图母图。下面我们采用自下 而上的方法重新设计单片机系统。

新建一个工程文件,命名为"层次原理图.PrjPCB"并保存。

将上例所绘制的层次式原理图各子图复制到与"层次原理图.PrjPCB"工程相同的文件夹,并添加到 工程中。

新建一个层次式电路图母图,不用添加其他元件和图纸符号,命名为"MAIN.SchDoc"并保存。

在电路图母图中,执行主菜单【设计】/【HDL 文件或图纸生成图表符】命令,弹出图 4-15 所示的 引用文档选择对话框,对话框中列出了工程中所有可以用来创建子图的电路原理图,选中"CPU.SchDoc" 文档确认。

此时光标变成十字状并粘附一个图纸符号,图纸符号的图纸入口是与原理图中的端口是相对应的, 移至合适的位置后点击鼠标确认,并修改图纸入口的位置和图纸符号的大小。



图 4-15 引用文档选择对话框



图 4-16 系统自动生成的图纸符号

给其他的功能电路模块创建图纸符号,并电气连线,终绘制好的层次式电路母图与 4-9 一样。 编译工程,编译后工程面板中的原理图文件由原先的并列显示变为层次式显示状态,如图 4-53。

rojects	▼ X	Projects	•
Workspace1.DsnWrk 💌	工作台	Workspace1.DsnWrk 💌	工作台
层次原理图.PrjPcb	工程	层次原理图.PrjPcb	工程
●文件视图 ○ 构在编辑器	•الا ا	●文件视图 ○ 构在编辑器	•ا 🖢
□ I I I I I I I I I I I I I I I I I I I		□ 🚽 层次原理图 PrjPcb *	
E Source Documents		E Source Documents	
MAIN.SchDoc	8	🖃 🚅 MAIN.SchDoc	8
CPU.SchDoc		CPU.SchDoc	
MEM.SchDoc		MEM.SchDoc	
OSC.SchDoc		GSC.SchDoc	

图 4-17 编译前后的文档结构

4.1.6 层次结构设置

层次式原理图设计大的优点就是结构清晰,但是电路设计中往往会改变电路的结构,Altium Design 为我们提供了设置电路原理图层次结构的工具。

端口与图纸入口之间的同步:无论采用自上而下还是自下而上的方式设计电路原理图,只要是由系统自动生成端口或图纸入口,端口与图纸入口的 IO 类型总是同步的。但是在图纸编辑过程中也可能出现 图纸入口与相对应端口 IO 类型不一样的情况。执行【设计】菜单的【同步图纸入口和端口】命令,弹出 图 4-17 所示的端口与图纸入口同步菜单。图中左侧列出所有不相符的端口与图纸入口,右侧则列出了相符的端口与图纸入口,读者可选取相应的 端口或图纸入口后点击下面的命令按钮进行编辑。

Synchronize Ports To Sheet Entr	ries In 层次原理图.PrjPcb		? ×
OSC CPU MEM CPU 不匹配的方 IO 客件	CPU.SchDoc 不匹酉的端口 10 套件类	链接 ▲ CLOCK ▲ R\D\ ▲ 256CE ▲ A[014]	IO 套件类型 Input Output Output Output Output
		► D[07] ► D[07] ► C = C = C = C = C = C = C = C = C = C	Bidirectiona
添加諾口	添加方块电路入口		
□仅显示不匹配的方块电路符号	Changes made in this dialog occ	ur immediately, use Undo in each affecte	ed document to undo them 关闭

图 4-18 端口与图纸入口的同步

重命名层次式原理图中的子图:在设计中可能要对原理图子图的名称进行修改。执行【设计】菜单的【子图重新命名】命令,弹出图 4-19 所示的子图重命名对话框。各属性的具体意义如下:

【新建子方块电路文件名称】: 在此填入层次式原理图子图的新的名称。

【重命名模式】: 在此提供了三种重命名的模式。【重命名子文档和更新所有相关表符号在当前项目】 重命名子图并更新这个项目中所有关联到的图纸符号;【重命名子文档和更新所有相关表符号在当前工作 区中】重命名子图并更新这个工作区中所有关联到的图纸符号;【复制子文档,只有更新当前表的象征】 复制子图并更新当前的图纸符号。

【重命名后编译项目】重命名后编译工程。

重命名子方块电路	?	×
新建子方块电路文件名称 CPU.SchDoc		
重命名模式		
● 在当前工程中重命名子文档和更新全部相关方块电路符号 巴		
○重命名子文档并在当前工作台内更新全部相关方块电路符号 ₩)		
○ 复制子文档以及仅更新当前方块电路符号 ◎		
附加选项		
□ 重命名后编译工程		
确定②	取消	(<u>C</u>)

图 4-19 子图重命名对话框

4.1.7 层次原理图之间的切换

层次式原理图结构清晰明了,相比于简单的多电路原理图设计来说更容易从整体上把握系统的功能。 前面已经提到过,在按住键盘【Ctrl】键的同时双击图纸符号就可以打开图纸符号所关联的电路原理图文件。

Altium Designer 提供的【向上/向下层次结构】层次间查找命令则功能更为强大,可以更方便的查看电路原理图的结构和原理图之间信号的流向。

在层次式原理图母图中执行【工具】/【上/下层次】命令或是点击工具栏的 按钮进入层次间查找状态,此时光标会变成十字状,在需要查看的图纸符号上点击鼠标左键,则系统会自动打开相应的电路 原理图,如图 4-20 与 4-21 所示,打开的电路原理子图将铺满显示编辑区。使用【上/下层次】命令还可以追踪原理图中信号的走向。例如要追踪显示功能模块中 A[0..14]总线信号的走向,则选取【上/下层次】命令后将光标移至 CPU 模块的 A[0..14]图纸入口上单击,系统会弹出图4-22 所示的原理子图,此时 A[0..14]端口是呈放大高亮显示的。再次点击 A[0..14]端口则界面会回到层次式母图中,并将 CPU 模块的 A[0..14] 图纸入口高亮显示。顺着层次式母图中 A[0..14]的母线连接读者可以继续进入 MEM 模块中查看信号的走向,非常方便。



图 4-20 在层次式母图中选取需要查看的图纸符号



图 4-21 系统自动转入相应的层次式子图



图 4-22 子图中的对应端口高亮显示

4.2 编译与查错

在电路原理图设计完毕后需要对原理图进行检查,Altium Designer 用编译这一功能代替了原先版本中的 ERC(电气规则检查),同时 Altium Designer 还提供了在线电气规则检查功能,即在绘制原理图的过程中提示设计者可能的错误。

4.2.1 错误报告设定

在编译工程前首先要对电气检查规则进行设定,以确定系统对各种违反规则的情况做出何种反应, 以及编译完成后系统输出的报告类型。执行菜单命令【工程】/【工程参数】命令,弹出图 4-60 所示的 工程选项设置 对话框,在这里可以对【误差报告】电气检查规则、【联络矩阵】连接矩阵 以及【默认打 印】默认输出等常见的项目进行设置。

Options for PC	B Project 层次原理	围.PrjPcb								?	×
Error Reporting	Connection Matrix	Class Generation	Comparator	ECO Generation	Options	Multi-Channel	Default Prints	Search Paths	Parameters		
隨碍类刑描述								/ 据告格式			^
E Violations As	sociated with Docum	ients						1KH HIJA			
Conflictin	a Constraints							● 错误			- 11
Duplicate	sheet numbers							一整告			
Duplicate	Sheet Symbol Name	s						一错误			
Missing c	hild HDL entity for sh	eet symbol						📄 错误			
Missing c	hild sheet for sheet s	ymbol						() 错误			
Missing C	Configuration Target							📄 错误			
Missing s	ub-Project sheet for c	component						□ 警告			
Multiple C	Configuration Targets	÷.						🚞 致命错	误		
Multiple T	op-Level Documents							() 错误			
Port not li	inked to parent sheet	symbol						🚞 错误			
Sheet En	try not linked to child	sheet						🗀 错误			
Unique la	dentifiers Errors							📄 警告			
Violations As	sociated with Harnes	ses									
Conflictin	g Harness Definition							👛 致命错	误		_
Harness I	Connector Type Synt	ax Error						🗀 警告			
Missing H	larness Type on Harr	ness						🚞 致命错	误		
Multiple H	arness Types on Ha	mess						🗀 警告			
Unknowr	n Harness Type							🚞 致命错	误		
 Violations As 	sociated with Nets										
Adding hi	idden net to sheet							🗀 警告			
Adding Ite	ems from hidden net t	to net						🗀 警告			
Auto-Assi	igned Ports To Devic	e Pins						📄 警告			
Bus Obje	ct on a Harness							🗀 错误			
Differenti	al Pair Net Connectio	n Polarity Inversed						📄 警告			
Differenti	al Pair Net Unconnec	ted To Differerentia	l Pair Pin					🗀 错误			
Differenti	al Pair Unproperly Co	nnected to Device						📄 错误			
Duplicate	Nets							□ 错误			
Floating	hat Ishalo							间数生			
设置安装制	默认 (D)								确定	取消	<u>ا</u>

图 4-23 工程选项设置对话框

系统默认打开的是错误报告设定选项卡,提供了以下几大分类的电气规则检查

【Violations Associated with Buses】总线相关的电气规则检查

【Violations Associated with Code Symbols】代码符号相关的电气规则检查

【Violations Associated with Components】元件相关的电气规则检查

【Violations Associated with Configuration Constraints】 配置相关的电气规则检查

【Violations Associated with Document】文件相关的电气规则检

【Violations Associated with Harness】线束相关的电气规则检查

【Violations Associated with Nets】网络相关的电气规则检查

【Violations Associated with Others】其他电气规则检查

【Violations Associated with Parameters】参数相关的电气规则检查 读者可以对每一类电气规则中的 某个规则的报告类型进行设定,如图 4-24 所示,在需要修改的电气规则上鼠标右键单击,弹出规则设置 选项菜单,各选项的意义如下:

【全部关闭】: 即关闭所有电气规则检查的条款。

【全部警告】:所有违反规则的情况均设为警告。

【全部错误】: 所有违反规则的情况均设为错误。

【全部致命的】: 所有违反规则的情况均设为严重错误。

【被选关闭】:关闭选中的电气规则检查条款。

【被选警告】: 违反选中条款的情况提示为警告。

【被选错误】: 违反选中条款的情况提示为错误。

【被选致命的】: 违反选中条款的情况提示为严重警告。

【默认】:关闭选中条款的电气规则检查读者亦可单击某条电气检查规则右边的【报告格式】区域, 弹出报告类型设置下拉框,其中绿色为不产生错误报告;黄色为警告提示;桔黄色为错误提示;红色则 为严重错误提示。

Error Reporting	Connection Matrix	Class Generation	Comparator	ECO Generation	Options	Multi-Channel	Default Prints	Search Paths	Parameters	
障碍类型描述								/ 报告格式		
Violations A Conflictin Duplicate Duplicate Missing (全部关闭(R) 全部警告(S) 全部错误(T)							 ■ 错误 ■ 不报告 ■ 警告 	\$	
Missing (Missing (全部致命的(U	(۲						■ 損失	祦	
Missing s Multiple (Multiple)	被选警告(W) 被洗错误(X)	0						□ 警告 ■ 致命错 ■ 错误	误	
Port not Sheet Er Unique I	被选致命的(Y	0						□ 错误 □ 错误 □ 響告		
Violations A:	默认(Z)									

图 4-24 修改电气规则报告类型

4.2.2 连接矩阵设定

连接矩阵是用来设置不同类型的引脚、输入输出端口间电气连接时系统给出的错误报告种类。在工程选项设置对话框中点击【Connection Matrix】标签进入连接矩阵设置选项卡,如图 4-25。



图 4-25 连接矩阵提示

各种引脚以及输入输出端口之间的连接关系用一个矩形表示,矩阵的横坐标和纵坐标 代表着不同类型的引脚和输入输出端口,两者交点处的小方块则代表其对应的引脚或端口 直接相连时系统的错误报告 内容。错误报告有四种等级,与其它的电气规则检查一样:其 中绿色为不产生错误报告;黄色为警告提示; 桔黄色为错误提示; 红色则为严重错误提示。要想改变不同端口连接的错误提示等级只需用鼠标单 击相应的小方块,其颜色就会在红、 桔黄、黄和绿色之间轮流变换。

4.2.3 编译工程

电气规则编辑完成后就可以按照自己的要求对原理图或工程进行编译,执行菜单命令【工程】/ 【Compile PCB Project 层次原理图.PrjPCB】对整个工程中所有的文件进行编译,或是执行【工程】/ 【Compile DocumentMAIN.SchDoc】仅仅对选中的原理图文件进行编译。编译完毕后,若电路原理存在 错误,系统将会在【Messages】面板中提示相关的错误信息,如图 4-26 所示,【Messages】面板中分别 列出了编译错误所在的原理图文件、出错原因以及错误的等级。

lessages	essages 🗸 👻						
Class	Document	Sou	Message	Time	Date	N	
🔲 [Wami	OSC.SchDoc	Com	Adding items to hidden net VCC	14:24:52	2016/1	1	
🔲 [Wami	OSC.SchDoc	Com	Adding hidden net	14:24:52	2016/1	2	
🔲 [Wami	CPU.SchDoc	Com	GND contains IO Pin and Output Pin objects (Pin U2-12,Pin U	14:24:52	2016/1	3	
Wami	CPU.SchDoc	Com	GND contains IO Pin and Power Pin objects (Pin U1-10,Pin U2	14:24:52	2016/1	4	
Error]	CPU.SchDoc	Com	GND contains Output Pin and Open Emitter Pin objects (Pin U	14:24:52	2016/1	5	
Error]	CPU.SchDoc	Com	GND contains Output Pin and Power Pin objects (Pin U1-10,Pi	14:24:52	2016/1	6	
Error]	CPU.SchDoc	Com	GND contains Open Emitter Pin and Power Pin objects (Pin U1	14:24:52	2016/1	7	
Error]	CPU.SchDoc	Com	Net NetU2_9 contains floating input pins (Pin U2-9)	14:24:52	2016/1	8	
[Wami	CPU.SchDoc	Com	Unconnected Pin U2-9 at 410,450	14:24:52	2016/1	9	
Wami	CPU.SchDoc	Com	NetU2_17 contains IO Pin and Output Port objects (Port R\D\)	14:24:52	2016/1	1	
_ [Wami	CPU.SchDoc	Com	NetU2_28 contains IO Pin and Output Port objects (Port 256CE)	14:24:52	2016/1	1	
Error]	CPU.SchDoc	Com	Net NetU2_31 contains floating input pins (Pin U2-31)	14:24:52	2016/1	1	
Wami	CPU.SchDoc	Com	Unconnected Pin U2-31 at 410,440	14:24:52	2016/1	1	
[Wami	MAIN.SchD	Com	Component U4 DM7404N has unused sub-part (4)	14:24:52	2016/1	1	
Wami	MAIN.SchD	Com	Component U4 DM7404N has unused sub-part (5)	14:24:52	2016/1	1	
[Wami	MAIN.SchD	Com	Component U4 DM7404N has unused sub-part (6)	14:24:52	2016/1	1	
Wami	CPU.SchDoc	Com	GND contains IO Pin and Power Pin objects (Pin U4-7, Pin U1	14:24:52	2016/1	1	
Error]	CPU.SchDoc	Com	GND contains Output Pin and Power Pin objects (Pin U4-7, Pin	14:24:52	2016/1	1	
Error]	CPU.SchDoc	Com	GND contains Open Emitter Pin and Power Pin objects (Pin U4	14:24:52	2016/1	1	
[Wami	OSC.SchDoc	Com	Net NetC1_1 has no driving source (Pin C1-1,Pin R2-1,Pin U4-3)	14:24:52	2016/1	2	
Wami	OSC.SchDoc	Com	Net NetR1_1 has no driving source (Pin R1-1,Pin U4-1,Pin Y1-1)	14:24:52	2016/1	2	
🔲 [Wami	CPU.SchDoc	Com	Net NetU2_9 has no driving source (Pin U2-9)	14:24:52	2016/1	2	
Wami	CPU.SchDoc	Com	Net NetU2_31 has no driving source (Pin U2-31)	14:24:52	2016/1	2	

图 4-26 编译错误信息提示



图 4-27 编译错误的详细信息

若要查看错误的详细信息可在【通信】面板中双击错误提示,弹出图 4-27 所示的【编译错误】编译错误 面板,同时界面将跳转到原理图出错处,产生错误的元件或连线高亮显示,便于设计者修正错误。

4.3 生成各种报表

为了方便原理图的设计、查看以及在不同的电路设计软件之间的兼容,Altium Designer 提供了强大的报表生成功能,能够方便的生成网络表、元件清单、以及工程结构等报表,通过这些报表设计者可以 清晰的了解到整个工程的详细信息。

4.3.1 生成网络表

在电路设计过程中,电路原理图是以网络表的形式在 PCB 电路板以及仿真电路之间 传递电路信息的,在 Altium Designer 中,用户并不需要手动生成网络表,这是因为系统会自动生成了网络表在各编辑环境中传递电路信息。但是当要在不同的电路设计辅助软件之间传递数据时就需要设计者首先生成原理

图的网络表。Altium Designer 可以为单张原理图或是为整个设计工程生成网络表,选择【设计】菜单,下面有【工程的网络表】和【文件的网络表】两个子菜单,两者提供的网络表类型相同,如图 4-28 所示,Altium Designer 提供了丰富的不同格式的网络表,可以在不同的设计软件之间进行交互设计。



图 4-28 Altium Designer 支持的各种网络表

1、设置网络报表选项

执行菜单命令【工程】/【工程参数】,在弹出的工程选项设置对话框中选择【Options】选项,如图 4-29 所示。下面来分别介绍网络表设置的相关内容:

【输出路径】输出路径:设置生成报表的输出路径,系统默认路径为当前工程所在的文件夹中创建一个 "Project Outputs for **"的文件夹。

【网表选项】: 该选项区域用来设置创建网络报表的条件。

- ◆ 【允许端口命名网络】: 允许系统产生的网络名代替与电路输入/输出端口 相关的网络名。
- ◆ 【允许方块电路入口命名网络】: 允许用系统产生的网络名代替与图纸入口相关联的网络名。
- ◆ 【附加方块电路入口数目本地网络】:产生网络表时,系统自动把图纸编号添加到各网络名称中, 用以识别网络所在的图纸。

【网络标识范围】: 该选项区域用来指定网络标号的范围, 单击右边的下拉框有四个选项:

- ◆ 【Automation (Based on Project contents)】:系统自动在当前工程项目中判别网络标示。
- ◆ 【Flat (Only ports global)】: 工程各个图纸之间直接使用全局输入/输出端口来建立连接关系。
- ◆ 【Hierarchical (Sheet entry<->port Connections)】:通过原理图符号入口和原理图子图中的端口来 建立连接关系。

◆ 【Global (NetLabels and Ports global)】: 工程中各个文档之间用全局的网络标号和输入输出端口 来建立连接关系。

Options for PCB Project 层次原理图.PrjPcb Error Reporting Connection Matrix Class Generation Comparator ECO Generation Options Multi-Channel Default Prints Search Paths Parameters 输出路径 [I C:\E DISK\PCB\层次原理图\Project Outputs for 层次原理图 8 输出选项 ☑编译后打开输出 (E) □时间表文件夹 (M) □将工程文档存档 🛛 □ 为每个输出类型应用分离文件夹 (S) 网表选项 网络标识范围 □ 允许端口命名网络 Automatic (Based on project contents) \sim ☑允许方块电路入口命名网络 □ 附加方块电路数目到本地网络 允许Pin交换应用此方法 高水平名称取得优先权 ☑添加/移除网络标签 一电源端口名称取得优先权 ☑更改原理图Pin 确定 取消

图 4-29 网络表设置

2) 生成网络表

打开附带的"CPU.SchDoc"原理图文件,执行菜单命令【设计】/【文件的网络表】/【Protel】,系 统会生成当前文档的网络表,并在【Projects】面板的工程菜单中生成【Generated】/【Netlist Files】/ 【CPU.NET】层次式目录,如图 4-30 所示。从生成的网络表内容可知道,网络表由两部分组成,元件的 声明和电气网络的定义。两者分别用不同的符号表示,其中[]之间定义的是电气元件,()之间定义的则是 电气网络。下面对网络报表的规则进行简单的介绍。

[//元件声明开始
U2	//元件的标号(Designator)
SOT129-1	//元件的 PCB 封装(FootPrint)
P80C31SBPN	//元件的标注(Comment)
]	//元件声明结束
(//电气网络声明开始
ALE	//网络名称
U1-11	//标号 U1 的元件第 11 脚与网络相连
U2-30	//标号 U2 的元件第 30 脚与网络相连
)	//电气网络声明结束

ID (2P (C) (D) 2F(F) (D) 1F(C) (D) 1F(C) (D) (D) (D) (D) (D) (D) (D) (D) (D) (D	ed to ALTIUM - 🗇	2
Image: Source in the second in the	C:\E DISK\PCB\层次原理图\Proje * 💟 * 🤅	9.
Wextsord DorWk I/i Wextsord DorWk I/i Mixtsord DorWk I/i Strength I/i I/i I/i I/i I/i I/i I/i I/i I/i I/i I/i <		
Violaged Life Screek	EM.SchDoc	
A. Affect of the second		î
2) (T+RUINHIA)) (And Shole)) (And Shoe<		
Implementation Implementation Implementation <td< td=""><td></td><td></td></td<>		
Image: Solution in the		
WEM SARADOC 00 02 02 03 04		
■ Constant ■ ■ Medan Files ■ ■ Constant ■		
Bill Police Files B I I I I II UI-11 U2-30 I II III UI-11 U2-30 III IIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIIII		
CPUNET B 1 4 XZ UL-11 U2-30 3 (880 UL-1 01-10 UL-1 01-10 UL-1 01-10 UL-1 11-10		
1 4 ALE UL-11 U2-30 5 6 6 01-1 U1-10 U2-12 02-13 02-13 02-13 02-10 04 6 6 6 6 6 6 6 6 6 6 6 6 7 7 8 7 8 7 8 7 8 8 8 8 8 8 8 8 8 8 8 8 8		
(ALE UI11 U2-30) (GRD U1_19 U1_19 U2-13 U2-13 U2-13 U2-13 U2-20) (
ALE UL-11 U2-30) (GBD U1-1 U1-10 U2-12 U2-13 U2-13 U2-13 U2-13 U2-13 U2-13 U2-13 U2-13 U2-10 U		
U1-11 U2-30) (SND U1-1 U1-12 U2-13 U2-13 U2-13 U2-13 U2-14 U2-20) (
V 2-30 (600 U1-1 U1-10 U2-12 U2-13 U2-13 U2-3 U2-3 (V2-3 (V2-3 (V2-3) (V2-3 (
(GDD U1-1 U1-10 U2-12 U2-13 U2-13 U2-13 U2-13 U2-20) (
(300) U1-1 U1-10 U2-12 U2-13 U2-13 U2-13 U2-14 U2-0) (
01-1 01-10 02-12 02-13 02-18 02-20) (
UZ-13 UZ-13 UZ-16 UZ-16 UZ-20		
02-13 02-18 02-20)		
02-18 12-20)		
02-20		
i i		
Vcc		
01-20		
v2-40		`
·	▲ 「 注題 切別 当	88
1:10 Insert	Swstem Design Compiler Help Instruments OpenPLisi@G	いた

图 4-30 生成网络报表

3、比较网络报表

在 Altium Designer 中可以对两个不同的原理图网络表进行对比,执行菜单命令【工程】/【显示差异】, 弹出图 4-31 所示的选择文档比较对话框,该对话框中 列出了本工程项目中所以可以参与比较的网络表文 件。选中下面的【高级模式】复选框,对话框扩展成图 4-32 所示,分割成两个区域,里面的内容相同, 在亮区域内分别选择需要参与比较的网络表,点击下面的【确定】按钮确认。

选择文档比较		?	×
选择文档并与设计层编译 of 层次原理图.PrgPob □			
工程原文档层将被编译且与被选择文档比较。			
□高級模式	确定	取	肖

图 4-31 选择文档比较对话框

选择文档比较	? ×
法择文档到组件 - 一个在左边列表,一个在 → 一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一一	古边列表. □ ● Added Schematic Documents □ CPU.SchDoc □ MAIN.SchDoc □ MAIN.SchDoc □ OSC.SchDoc □ OSC.SchDoc □ Generated Netist Files □ CPU.NET □ MEM.NET
工程设计层有异议。组件可以从文档到文档。	,工程到工程或者工程到文档。
	确定取消

图 4-32 选择需要比较的网络表

比较的结果如图 4-33 所示,列出了两个网络表之间所有不相同的元件、网络以及描述信息等。点击 该对话框中的【报告差异】按钮,比较的结果将以 PDF 文档的格式显示出来,在此读者可以将其保存或 打印。

差动的	n	更新			更改次序		
Schematic Document [MEM.Sch	Netlist File [CPU.NET]	结果	行为	受影响对象		受影响文档	
Extra Components(3)							
	🕕 [U1]	No Change	No Action				
	🕕 [U2]	No Change	No Action				
🕕 [U3]		No Change	No Action				
Extra Nets(16)							
[A0]		No Change	No Action				
▶ [A1]		No Change	No Action				
[A2]		No Change	No Action				
[A3]		No Change	No Action				
K [A4]		No Change	No Action				
[A5]		No Change	No Action				
[A6]		No Change	No Action				
K [A7]		No Change	No Action				
[A8]		No Change	No Action				
[A9]		No Change	No Action				
[A10]		No Change	No Action				
K [A11]		No Change	No Action				
[A12]		No Change	No Action				
[A13]		No Change	No Action				
[A14]		No Change	No Action				
[NetU3_22]		No Change	No Action				
Extra Pins in Nets(38)							
		No Change	No Action				
		No Change	No Action				
		No Change	No Action				
		No Change	No Action				
		No Change	No Action				
-o [U3-15] in D3		No Change	No Action				
d 1112 161 in D.4		No Change	No Antian				

图 4-33 比较结果对话框

MEM BohDoo Bohematio Dooument	OPU.NET Netlist File	Desision			
Extra Components	5.193	No Action			
	0.(2)	No Action			
[[13]		No Action			
Extra Nets					
76.0		No Action			
(42)		No Action			
(A3)		No Action			
(4.4)		No Action			
(46)		No Action			
[A7]		No Action			
14.5		No Action			
10.100		No Action			
64111		No Action			
(A12)		No Action			
(A13)		No Action			
[NetU3_22]		No Action			
-					
8 80 15-107-132016 32	9-28 PM			Peop 10/2	
BR <u><u><u></u></u> 15-10,7-132016 32</u>	9.28 PM			Page 1 of 2	
	928 PM			Page 1 of 2	
### 13-10,7-128016 22	9-28 PM			Page t of 2	
BR II 15-10,7-132016 32	927 PM			Page 1 of 2	
B MË 1540,7-10011 32	937 AV			Augus 1 of 2	
ANI 15405-132016 22	1 100% 55 j	< 14 4 <u>1</u>		Page t of 2	
2 ,822 (15-02)-19 22 A) ○ 究度 (W) ○	100% 55 5	< I4 4 1_ ► ►	1	Age 1 of 2	
ANI (540)F-132016 22	100% 55 s		1	Page 10/2	241

图 4-34 以 PDF 文档格式显示

在图 4-33 所示的比较结果对话框中选择【探索差异】按钮,弹出图 4-35 所示的【Differences】面板, 面板中列出了两个网络表所有不同之处,可以双击各差异项跳转到网络表中具体的位置。



图 4-35 比较结果的详细信息

4.3.2 生成元件表

Altium Designer 可以很方便的生成元件报表(Bill of Materials),即电路原理图中所有元件的详细信息列表,执行菜单命令【报告】/【Bill of Materials】,弹出图 4-36 所示的工程元件列表对话框,下面分别对对话框的操作进行详细介绍。

Bill of Materials Fo	r Project	t [层次原理图.PrjPc	b] (No PCB Docur	ment Select	ed)	~					?	×
纵队组	展示	Comment / 💌	Description 💌	Designator	/ 🔻	Footprint	/ -	LibRef	 Quantit 	у 💌		
Comment	~	Сар	Capacitor	C1		RAD-0.3		Сар		1		
Footprint	~	Res2	Resistor	R1, R2, R3		AXIAL-0.4		Res2		3		
		M74HC573B1R	Octal D-Type Latch	U1		DIP20		M74HC573B1R		1		
		P80C31SBPN	80C51 8-Bit Microco	U2		SOT129-1		P80C31SBPN		1		
		M27C256B-10B1	256 Kbit (32Kb X 8)	U3		PDIP28		M27C256B-10B1		1		
		DM7404N	Hex Inverting Gate	U4		N14A		DM7404N		1		
		4.0M	Crystal Oscillator	Y1		R38		XTAL		1		
全部処分 } Address1 Address2 Address3 Address3 Address4 Address4 Address4 Address4 Address4 Component CheckedBy Code_LEDEC Component Link URI Component Link URI Component Link URI Component Link 2URI Component Link 2URI Component Link 2URI Component Link 2URI Component Link 2URI Component Link 2URI				c								
输工选坝				Excentent								
文件格式 (E Micro	soft Excel	Worksheet (* xls)	\sim	模板①								~
□添	加到工程	 (A) □打开输出 	出的(2)		☑相	关路径到模构	反文件	E				
菜单(M)	輸出 (E)		ШВА 🗆 Л	人数据库包括	参数			PCB包括参数		确定 (☑)	Ę	[消℃]

图 4-36 工程元件列表对话框

图 4-36 对话框的做半部分包括了两个区域:【纵队组】分组设置和【全部纵队】所有字段。

【全部纵队】中列出了元件所有可供列表显示的属性字段,若需选择相应的字段,只需将该字段的 【展示】复选框选中。

【纵队组】字段分组设置用来设置元件的信息是否按照某属性进行分类显示,若不采用分类显示的 话则所有的元件信息都是单条列出显示,图 4-36 中的元件信息列表就没有分类,图 4-37 中的元件信息列 表按照【Comment】和【Footprint】属性来分类。若要将元件信息按照某条属性分类,只需在【全部纵 队】选中相应的属性,然后拖拽到【纵队组】选项区域中去。同理,若要取消属性分类,则要将【纵队 组】选项区域中的相应属性拖拽到【纵队组】中来。

纵队组	展示	Comment / 💌	Description 💌	Designator	/ -	Footprint / 💌	LibRef 💌	Quantity 💌]]	
Comment	~	Сар	Capacitor	C1		RAD-0.3	(All)		0	
Footprint	~	Res2	Resistor	R1, R2, R3		AXIAL-0.4	(Custom)	1	3	
		M74HC573B1R	Octal D-Type Latch	U1		DIP20	DM7404N			
		P80C31SBPN	80C51 8-Bit Microco	U2		SOT129-1	M27C256B-10B1			
		M27C256B-10B1	256 Kbit (32Kb X 8)	U3		PDIP28	M74HC573B1R			
		DM7404N	Hex Inverting Gate	U4		N14A	Res2			
		4.0M	Crystal Oscillator	Y1		R38	XTAL			
全部以为 소성dress 1 Address 2 Address 3 Address 4 ApprovedBy Author CheckeBy Code_JEDEC CompanyName Component Kind Component Link ZDes Component Li										
20mponencunk30Ri 会中注版	H *			Fycel注而						
和山西坝				Line 医坝						
文件格式 E Mic	rosoft Excel	Worksheet (*xls)	~	模板 ①						~
	忝加到工程	 ④ 17开输 	出的②		☑相	关路径到模板文件	Ð			

图 4-37 元件清单按属性分类

(2)元件清单的操作。对话框的右部为元件信息列表显示区域,这里列出了原理图中所有元件的详细信息,在此也可以对列表元件进行排序筛选,方便读者找到自己需要元件的信息。

元件清单区域的上部为属性字段列表,点击某条属性字段可将元件信息按照该属性进行排列。属性 字段右方的 是对元件信息进行筛选选项,例如要对【LibRef】进行筛选,点击 按钮弹出筛选字段列 表,如图 4-38,里面列出了该电路图中所有【LibRef】,选取某一标号,则元件清单里仅仅显示该类元件。 还可以自定义筛选条件,如要筛选中电路图中的所有电阻元件,点击 按钮并选取【Custom】选项,弹出图 4-76 所示的筛选对话框,填入"res*"并确认,筛选结果如图 4-77 所示,共有 48 个元件标号为"Res2" 的电阻。



图 4-38 筛选字段

now rows where:				
bRef				
mask	•	res*		
And (Or			
	•		 	
		1		

图 4-39 筛选对话框

Bill of Materials F	or Pr	oject	t[层次原	理图	l.Prj	Pcb] (No F	PCB Docu	ment	Selecte	ed)								?	×
纵队组	展	示	Comme	nt	5	Descripti	on 🔻	Desig	nator	•	Footprint	•	LibRef		Quantity		•		
Comment		1	Res2			Resistor		R1, R	2, R3		AXIAL-0.4		Res2				3		
Footprint		•																	
全部纵列 Address1 Address2 Address3 Address4 Address4 ApprovedBy Author CheckedBy Code_JEDEC Commert Componert.Kind Componert.Kind Componert.Link2Ues Componert.Link2Ues Componert.Link2Ues Componert.Link2Ues	展 □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □ □	~																	
*******	H	~	X (Lb	Refin	nask	res")		C	*15										
制工选坝							-	Excel	达坝									_	
文件格式 (E Mic	rosoft	Excel	Workshe	et (*	xls)		\sim	模材	бD									~	
	添加到	工程	(A)		1开	輸出的 (2)				☑相	关路径到横	板文件	E						
菜单(Ш)	输出	(E).		强	迫查	看纵队		从数据	库包括	診数			(PCB包括	診教		确定	è©	取消	C)

图 4-40 元件属性筛选结果

(4) 生成元件报表:【输出选项】: 该选项区域用来设置导出文件的相关设置,【文件格式】是用来 设置导出文件的格式, Altium Designer 所支持的导出文件格式如图 4-41 所示,系统默认是导出 Excel 格 式的电子表格,读者也可以在下拉列表框中自行选取。【添加到工程】: 若选取该选项,则生成的元件清 单将加入本项目中;【打开输出的】: 若选取该项,系统在生成报表好将自动打开报表。

CSV (Comma Delimited) (*.csv)
Microsoft Excel Workshart (* xls)
Tab Delimited Text (*.bd)
Web Page (*.htm; *.html)
XML Spreadsheet (* xml)

图 4-41 Altium Designer 所支持的文件报表格式

【Excel 选项】: 当输出格式为 Excel 文档时还可以在此设置相应选项,【模板】用来设定输出 Excel 格式 文件所采用的模板;【相对路径到模板文件】指定模板的路径,若不选取该项,则读者需要自己设定模板 所在的路径。

点击【菜单】按钮在弹出的菜单项中选取【输出】命令或是直接点击【输出】按钮可以将元件报表 导出,在弹出的对话框中填入保存的文件名并确认即可生成元件报表。

生成元件报表之前还可以对报表进行预览,点击【菜单】按钮,在弹出的菜单项中选取【报告】项, 弹出图 4-42 所示的报表预览框,在此对话框中可以点击【输出】按钮保存报表或是点击【打印】按钮打 印报表。

Marcings Marcing are methods Marcing are methods Marcing are methods Marcing are methods Marcing are methods Marcing are methods Marcing are methods	No.1 Processing No.1	2.2 Aut 3 3. VDuc22894 1 3. VDuc22894 1 3. VDuc22894 1 3. VDuc22895 01 1 3. VDC2885 01 1 3. VDC285 01 1 3. VDC28	
Interface OPE O	131 00.01 131 00.01 131 00.01 132 00.01 132 00.01 132 00.01 132 00.01 132 00.01 132 00.01 132 00.01 131 00.01 131 00.00 131 00.00	00-420204 1 20 1/02285-501 1 20 2020 1 20 20 2 20 20 20 20 20 20 20 20 20 20 20 20 20 2	
Uncertaint Cols of Time and out Direct Orectate Hit 1 Uncertaint Time and t	UH-CITISTIN 0583057 0042005000 004200500 004200 0040000000000	UN-CEREN 1 al (20208-381) 1 	
NUCCESSION DE NO LOBIO (2, U.U. 19972) (UCCESSION 1) DE NOTE 1997 (ULUE CONTRUE) DE NOTE 19	1012288-021 281 06 (25) 47 (2) 2 P072 87 (25) 27 P 2010 (25) 27 P 2010 (25) 27 P 2010 (25) 27 (25) 2	21 1070286-031 1 7170700 1 22 Det 1 7170 1	
Differie de Antrago de la construir de la cons	DERDER DE LE LA	1 7000 1 1 20 1 1 20 1 174 1	
	See Desta D. Nob Dest Dest Desta	71 <u>94 1</u>	

图 4-42 元件报表预览

4.3.3 生成简单元件表

如果觉得上面所介绍的生成元件报表的步骤比较复杂,那么可以试试 Altium Designer 所提供的生成 简单元件报表的功能。执行菜单命令【报告】/【Simple BOM】,系统会自动生成两个不同格式的简单元 件表清单。如图 4-43 和 4-44 所示,并在【Projects】面板的工程目录中生成一个【Generated】文件夹, 其中就用生成的元件表。

Section 2015 Altium Designer 6.9	- C:\E DISK\PCB\层次原理图\Pi	oject Outputs for 层/U原埋图V		图.PrjPcb. Licensed to ALTIUM	- 0
DXP(X)(X) 文件(う(E) 编辑(E)(E) 察看(V)(V)	工程(の工具の)の一参口	1(W) (W) 帮助(H) (H)	c	E DISK\PCB\层次原理图\Proje ▼ ○ ▼
	9 0 6 2 6 8 8			1	
Wedenson 1 Dep Wide		OSC.SchDoc MAIN.SchDoc	CPU.SchDoc MEM.S	chDoc 📄 层次原理图.BOM	】层次原理图.CSV
E次 盾 理 图 PriPob	T#	On 2016/10/13 at 19:2	20:06		
 ① 文仕初图 ○ 构在编 		Comment	Pattern Quantity	Components	
	Pet *	4.0M	R38 1	У1	Crystal Oscillator
E Source Docume	ints	Cap	RAD-0.3 1	C1	Capacitor Hey Inverting Gate
CPU.SchD	loc III	M27C256B-10B1	PDIP28 1	U3	256 Kbit (32Kb X 8) UV EPR
MEM.Schl	loc 🗈	M74HC573B1R P80C31SBPN	DIP20 1 S0T129-1 1	U1 U2	Octal D-Type Latch with 3- 80C51 8-Bit Microcontrolle
Generated Metiat Files		Res2	AXIAL-0.4 3	R1, R2, R3	Resistor
CPU.NET					
E Text Docume	nts				
■ 三次原理	왕.BOM 탑 왕.CSV 답				
_					
_					
	< 1				
					掩膜级别 澤
	AIので「講師」書「	1 🕩 🖹 🖬			
's	🖉 🗙 📴 OSC.SchDoc	MAIN.SchDoc	MEM.SchDoc	雲次原理图.BOM 📄 层次原理	图.CSV
space1.DsnWrk 👻 工作	台 "Bill of M	Material for 层次原理图	.PrjPcb"		5
原理图.PrjPcb 工利	₽ "On 2016/1	10/13 at 19:20:06"			PH-
特视图 〇 构在编辑器	Comment",	"Pattern", "Quantity", "(Components"		
层次原理图 PriPcb *	"4.0M","R3	88","1","Y1","Crystal 0:	scillator"		
Source Documents	"Cap", "RAI "DM7404N",)-0.3","1","C1","Capacit "N14A","1","U4","Hex In	tor" nverting Gate"		
CPU.SchDoc	"M27C256B-	10B1", "PDIP28", "1", "U3"	","256 Kbit (32Kb X	8) UV EPROM and OTP EPH	ROM"
MEM.SchDoc	"P80C31SB	2N", "SOT129-1", "1", "U2",	"80C51 8-Bit Microc	ontroller Family: 128 H	B RAM, ROMless, 2.7 V-5.5 V,
SC.SchDoc	HD 0 H H35	IAL-0.4", "3", "R1, R2, H	R3", "Resistor"		
Generated	Kesz , A				
Generated CPU.NET	Kesz , A				
OSC.SchDoc Generated OSC.SchDoc Generated ORUSET MCM.NET Text Documents	Ke32~, AJ				
Generated Cenerated Netist Files の CPUNET 気 MEM.NET Text Documents 反次原理器 BOM	-xes2 , A				
Generated Generated Metist Files MEMENT Ent Documents 反次原理图 BOM MEL 展次原理图 CSV	Kesz , A				
Generated Generated Metist Files MENNET Text Documents ■ 层次原理器 BOM ■ 层次原理器 CSV	Kesz , A				
Generated Generated Metist Files 例 MEM NET Text Documents 定次原理图 BOM ■ 层次原理图 CSV	KES2 , A				
Generated Generated Metist Files 向 MEM NET MEM NET Text Documents 定次原理图 BOM ■ 层次原理图 CSV	KES2 , A				
Generated Generated Metist Files 同 PCPUNET 同 MEM NET Text Documents 层次原理图 BOM ■ 层次原理图 CSV	KES2 , A				
Generated Generated ③ CPUNET 函 CPUNET 函 MEM.NET ■ Text Documents ■ 层次期理器 BOM ■ 层次期理器 CSV	K652 , A				
Generated Generated ○ Netlat Files ○ CPU NET ○ Tet Documents ○ 定次原理器 BOM ○ 层次原理器 CSV	K652 , A				
Generated Generated ○ Relat Files ○ CPU NET ○ Tet Documents ○ 定次原理器 BOM ○ 层次原理器 CSV	K62 , A				
Generated Generated ■ Netta Files ■ CPUNET ■ Text Documents ■ 医次原理器 BOM ■ ■ 最次原理器 CSV	K62 , A				
Generated Generated ○ Netlat Files ③ CPUNET ③ MEM NET ● Tet Documents ● 屋太原理館 BOM ● 屋太原理館 CSV	K62 , A				
Generated Generated ○ Netlat Files ③ CPUNET ③ MEM NET ● Tet Documents ● 居久原理图 BOM ● 居久原理图 CSV	K82 , A				
Generated Generated ○ Netlat Files ○ Tet Documents ○ Expland CSV	K82 , A				▲ 「複類級別」清除

图 4-44 CSV 格式元件清单

其中 CSV 文件格式是通用的一种文件格式,它可以非常容易的被导入各种 PC 表格及数据库中,在 CSV 格式文件中,数据一般用引号和逗号隔开。

4.3.4 生成元件交叉引用报表

在进行多图纸电路设计时还可以生成元件交叉引用报表,元件交叉引用报表与普通的 元件报表类 似,不仅仅列出了元件标识、名称,还列出了元件所在的原理图。生成元件交 叉引用报表的步骤如下:

(1) 打开层次式电路原理图"层次原理图.PrjPCB",执行菜单命令【报告】/【Component Cross Reference】,系统自动生成元件交叉引用报表,如图 4-45 所示;

(2) 在【模板】下拉框中选取"BOM Manufacturer.XLT"模板,并勾选【打开输出的】选框;

(3) 单击【输出】按钮,执行生成交叉引用报表命令,系统会生成报表,并自动调用 Excel 程序打 开报表,生成的报表如图 4-46 所示。

Compone	nt Cross Referenc	e Report For P	roject [层次原理图.	PrjPcb] (No Po	CB Document S	Selected)				? ×
纵队组 Document	展示	Comment [M74HC573B1R, F M27C256B-10B1 4.0M, Cap, DM74	Description State 1	r Designator ∞ U1, U2)) U3 Ds C1, R1, R2, R	 Footprint DIP20, SO PDIP28 U4, AXIAL-0.4, 	Ut 17129-1 M M .N14A, R Ca	DRef 74HC573B1R, P 27C256B-10B1 ap, DM7404N, R	Quantity 81 et	2 1 6	
全部纵列 Address1 Address2 Address3 Address4										
输出选项				Excel选项						
文件格3	t (E Microsoft Excel	Worksheet (* xls)	~	模板①						~
	□添加到工程	④ □打开報	前出的 (2)		☑相关路径到樽	莫板文件 (E)				
菜单(图) 輸出 (E)	□强迫查	≦纵队	从数据库包括参	专数	□ 从PC	B包括参数		确定②	取消C
区 文件 私站 商贴板 G57	日 ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・ ・	页面布周 公式 - 10 - U - 田 - <u>ろ</u> - 字体 ✓ fr	数据 审词 A A ▲ · "樊 · 。		(兼容模式) - Excel 读器 - ♀ ~ % • 0 0 00 5. 数字	· 16	条件格式 - 倉用表格格式、 単元格样式、 样式 F	 □ 插入 · □ 删除 · □ 删除 · □ 植式 · 单元格 	? 函 Jo ∑、⊉▼、 ●、 ♣、 《~ 編組	hnny WU - 🔀
					Com	ponent	list		Parameter Title not	found>
2 3 4 5 6					Source Data Project: Variant:	From:		5 5 1	3次原理图.PrjPcb 3次原理图.PrjPcb one	
7					Report Date: Print Date:	2016/10/13 13-Oct-16		1	9:29:17 30:15 PM	
9	Description	c.	n	ootprint	Quantity Name	ie E	Designator		Column Name Error:Manufact	turert #Column Name E
1	-Bit Microcontroller Family: 128 B RAM.	ROMess, 2.7 V-5.5 V, Low	DP20, S0T129-1		Com	ponent	list		Parameter Title not	found>
3 4 5 6					Source Data Project: Variant:	From:		<u>ار</u> <u>ار</u> ار	i次原理图.PrjPcb i次原理图.PrjPcb ione	
7 8					Report Date: Print Date:	2016/10/13 13-Oct-16		1	9:29:17 30:15 PM	
9	Description		r.	ootprint	Quantity Name	e E	Designator	-	Column Name Error:Manufact	turert PColumn Name E
10 80C51 8 Power, 1	-Bit Microcontroller Family: 128 B RAM, High Speed, Octal D-Type Latch with 3 (1250 X 8) UV FPOM and 010 E0014	ROMess, 2.7 V-5.5 V, Low State Output Non-Inverting	DP20, S0T129-1		2	01,02				
12 Capacito	or, Crystal Oscillator, Hex Inverting Gate	, Resistor	AXIAL-0.4, N14A, R38, RAD-0.3		6	C1, R1, R2, R3, U4,	¥1			
14	BOM					1 4				
	DOINI (+)					: 4				•

图 4-46 生成的元件交叉引用报表

4.3.5 生成层次设计报表

层次式报表用来描述多图纸原理图设计时整个工程项目的文档结构,执行菜单命令【报告】/【Report Project Hierarchy】,系统会在工程目录中生成".REP"层次式报表文件,双击打开层次式报表如图 4-47 所示。

SAltium Designer 6.9 - C:\E DISK	\PCB\层次原理图	图\Project Outp	uts for 层次原理图	层次原理图.REP - 原	层次原理图.PrjPcl	b. Licensed to A	LTIUM		- 0	5 ×
DXP(X)(X)(X)文件(F)(E) 编辑	(E) (E) 察看(V) (1) 工程 (2)	工具(T)(T) 窗	コ(W) (W) 帮助(H	H) (H)		C:\E DISK	\PCB\层次原理B	🗄 \Proje 🕶 🌀) = 🔿 - 🐢
0 🗃 🖬 🖪 🔍 🗶 🛝	1 1 1	の様律	1 1 🔁 🗇 🗈 🛙	8						
rojects	▼ Ø ×	GSC.SchDo	c MAIN.SchDoc	CPU.SchDoc	MEM.SchDoc	📄 层次原理图.	REP REP CPU.NET	📄 层次原理的	图.csv	
Workspace1.DsnWrk -	工作台									- BB
层次原理图.PrjPcb	工程	Desig	n Hierarchy Rep 16/10/13	ort for 层次原	理图.PrjPcb					邗
●文件视图 ○构在编辑器	• 실 😢	19	:34:09							
□ 🗐 层次原理图 PrjPcb *										
E Source Documents		MAIN		SCH	(MAIN.:	SchDoc)				
E 属 MAIN.SchDoc	B	0	PU	SCH	(CPU.S	chDoc)				
CPU.SchDoc		h	EM	SCH	(MEM.S	chDoc)				
MEM.SchDoc		c	SC	SCH	(OSC.S	chDoc)				
OSC.SchDoc										
E Generated										
Image: Netlist Files										
CPU.NET	8									
MEM.NET										
E Text Documents										
三 层次原理图 BOM										
■ 层次原理图.CSV	B									
■ 层次原理图 REP	B									
		<							依腊尔贝	> 公理:10
315: 79			Insert			System	Design Compiler	Help Instrum	ents OpenBu	s调色板 >>

图 4-47 层次式报表

4.3.6 生成单引脚网络报表

任何一条电气网络都必须有两个引脚,Altium Designer 提供了单引脚网络检查功能用于检查电路原 理图中的网络连接错误。执行菜单命令【报告】/【Report Single Pin Nets】,系统会在工程目录中生成".REP" 单引脚网络报表文件,双击打开单引脚网络报表如图 4-48 所示。



4.3.7 生成端口交叉引用报表

层次式原理图中各端口的连接关系若是使用【上/下层次】工具查看比较麻烦,是否有一种更加直观

的表示方法呢? Altium Designer 为我们提供了一种简单的端口连接关系表示方法。在【报告】/【端口交 叉参数】菜单下有四个命令分别如下:

【添加到图纸】:为当前电路原理图的输入输出端口添加引用参考;

【添加到工程】: 为当前工程中所有电路原理图的输入输出端口添加引用参考;

【从图纸移除】: 移除当前电路原理图中的端口交叉引用参考;

【从工程中移除】: 移除当前工程所有电路原理图中的端口交叉引用参考; 在"层次原理图.PrjPCB" 工程的"CPU.SchDoc"文档编辑界面下执行【添加到图纸】命令,交叉引用的添加效果如图 4-49 所示。 "CLOCK"端口添加的是"MAIN[2C]"引用,其中"MAIN"是代表上一层的原理图名称,"2C"是图 纸符号所在位置的坐标。



图 4-49 端口交叉引用报表

4.4 打印输出

原理图设计完成后往往需要通过打印机输出或是以通用的文件格式保存,便于技术人员参考或是交流,下面将介绍电路原理图的打印输出和以 PDF 格式保存。

4.4.1 打印电路图

与其他文件打印一样,打印电路原理图简单的方法就是点击工具栏的 按钮,系统会以默认的设置打印出原理图。当然,读者要是想按照自己的方式打印原理图还得对打印的页面进行设置。执行菜单 命令【文件】/【页面设计】,弹出图 4-50 所示的原理图打 印属性设置对话框,下面来介绍各参数的意义:

【打印机纸张】打印纸张设置: 在此设置纸张的大小和打印方式。【尺寸】下拉列表框中选定纸张的 大小。选取【肖像】选项则图纸将竖着打印,选取【风景】则图纸将横着打印。

【页边空白】页边距设置:可以分别在【水平的】和【垂直的】文本框中填入打印纸水平和竖直方向的页边距,也可选取后面的【居中】选项,使图纸居中打印。

【缩放比例】打印比例:读者可以在【刻度模式】下拉框中选择打印比例的模式,其中【Fit Document On Page】是指把整张电路图缩放打印在一张纸上;【Scaled Print】则是自定义打印比例,这时还需在下

面的【刻度】文本框中填写打印的比例。

【修正】修正打印比例:可以在【X】文本框中填入横向的打印误差调整,或是在【Y】文本框中填入纵向的打印误差调整。

【颜色设置】: 可以选择【Mono】单色打印、【颜色】彩色打印或是【灰白】灰度打印。

打印机纸张 尺寸 ②: <mark>14 </mark>	缩放比例 刻度模式 Fit Document On Page 刻度 (S): 1.00 受 修正 X Q 1.00 受 Y Q 1.00 受
页边空白 水平的 凹: 0 🚽 🗹 居中 C) 垂直的: (0 🚽 🗹 居中 C)	颜色设置 〇 Mono 〇 颜色 ④ 灰白色
🎒 打印 🕑 🔔 预览 💟 🛛 高級	的 打印机设置

图 4-50 原理图打印属性设置对话框

点击【高级的】按钮进入打印高级设置页面。如图 4-51,在此可以设置在打印出 的原理图中是否显示【No-ERC Markers】标记、【参数设置】等非电气图件或是【指定者】、【网络标签】等电路相关的物理 名称参数。

制图	物理名称扩展
包含: ☑ No-ERC Markers ☑ 参数设置 ☑ 探针	Choose whether the physical names of designators, net labels, ports, sheet entries, sheet number and document number parameters should be expanded. These options will only be applied when the data source is set to "[Project Physical Documents]".]".

图 4-51 原理图打印高级设置

打印之前还要对打印机的相关选项进行设置,执行菜单命令【文件】/【打印】或是点击原理图打印 属性设置对话框中的【页面设计】按钮进入打印机配置对话框,如图 4-52 所示。各主要参数设置项的意 义如下:

【打印机】打印机选项:这里列出了所有本机可用的打印机及其具体的信息,读者可以选用相应的 打印机并设置属性。

【打印矩形】打印范围:在这里设置打印文档的范围,可以设定为【全部页】所有页面、【当前页】

当前页面或是在【页】后面的文本框中自己设定打印图纸的范围。

【打印什么】: 在这里选择打印的对象,可以选择【Print All Valid Document】打印所有的原理图; 【Print Active Documen】打印当前原理图;【Print Selection】打印当前原理图中的选择部分;【Print Screen Region】打印当前屏幕的区域。

【复制】: 在此可以设置打印的原理图的份数。

名称: N	HP LaserJet 1020	1	· 道具(P)
状况: 类型:	Ready HP LaserJet 1020		找回默认值: (B)
vvneie. 注释:	03001		设置默认值 (S)
打印矩形 (E 全部页 〇 当前页 〇 页 (G)	3) (A) (E) : (F): 0 ♀ (T): 0 ♀	复制 复制数里 〇: 1	1
打印什么?	w	打印机选项 打印机工作选项 🕘	
Print Active	Document	Print as multiple printe	er jobs 🗸 🗸

图 4-52 印机配置对话框

以上的选项设置完成之后就可以打印电路图了,不过在打印之前好预览一下打印的效果,执行菜单

命令【文件】/【打印预览】或是直接在主界面的工具栏中点击 按钮,弹出打印预览窗口,如图 4-53 所示。预览窗口的左边是缩微图显示窗口,当有多张原理图需要打印时,均会在这里缩微显示。右边则 是打印预览窗,整张原理图在打印纸上的效果将在这里形象的显示出来。



图 4-53 打印预览窗口

若是原理图预览的效果与理想的效果一样的话,读者就可以执行【文件】/【打印】命打印了。

4.4.2 输出 PDF 文档

PDF 文档是一种广泛应用的文档格式,将电路原理图导出成 PDF 格式可以方便设计者之间参考交流。 Altium Designer 提供了一个强大的 PDF 生成工具,可以非常方便的将电路原理图或是 PCB 图转化为 PDF 格式。

执行菜单命令【文件】/【智能 PDF】,弹出图 4-53 所示的智能 PDF 生成器启动界面。

点击【下一步】按钮,进入 PDF 转换目标设置界面,如图 4-54。在此选择转化该工程中的所有文件 还是仅仅是当前打开的文档,并在【输入文件名】中填入输出 PDF 的保存文件名及路径。



图 4-54 转换目标设置

单击【下一步】按钮进入图 4-55 所示的选择目标文件对话框,在这里选取需要 PDF 输出的原理图文件,在选取的过程中可以按住【Ctrl】键或【Shift】键再单击鼠标进行多文件的选择。

能PDF			×
选择工程文件			1-11
选择文件到输出列表工程			1 Cine
	h. Ol Chi		and start
om the list below, select the files to export. Multiple files can be selected	by ctri+click.		
	取消(C)	返回(B) 下一步(N)> 完成(E)

图 4-55 选择项目文件对话框

单击【下一步】按钮进入图 4-55 所示的 PDF 附加选项设置对话框,下面介绍各设置项的意义:

【Zoom】区域缩放: 该选项用来设定生成的 PDF 文档,当在书签栏中选中元件或网络时, PDF 阅读 窗口缩放的大小,可以拖动下面的滑块来改变缩放的比例。

【Additional Bookmark】生成额外的书签:当选定【生成网络信息】时设定在生成的 PDF 文档中产 生网络信息。另外还可以设定是否产生【Pin 引脚】、【网络标签】、【端口】的标签。

【原理图】:可以设定是否将【No-ERC Markers】忽略 ERC 检查、【参数设置】以及【探针】工具放置在生成的 PDF 文档中。还可以设置 PDF 文档的颜色模式:有【颜色】、【刻度】灰度、【单色】模式可供选择。

【PCB】PCB:在此可以设置 PCB 设计文件转化为 PDF 格式时的颜色模式,可以设置为【颜色】、【刻度】灰度、【单色】单色模式。因为该工程中没有 PCB 文件,所以该选项为灰色。

Zoom Use the slider to control the zoom level in Acrobat when jumping to components or nets.	原理图 包含: ☑ No-ERC Markers	颜色模型: (1) 颜色
Far	☑ 參数设置 ☑ 探针	 ○ 刻度 ○ 単色
Additional Bookmark	PCB	
The following additional bookmarks can be created in the PDF or nets:	PCBs can be exported to PI	OF in the following color modes.
☑ Pin随	◉ 颜色	
☑网络标签	○刻度	
☑ 端口	○単色	

图 4-56 PDF 附加选项设置对话框

单击【下一步】按钮进入图 4-57 所示的构建设置对话框,该功能是针对重复层次电路原理图或 Multi-Channel 原理图设计的,一般情况下用户无需更改。

单击【下一步】按钮进入图 4-58 所示的 PDF 设置完成对话框,在此生成 PDF 文档的设置已经完毕, 读者还可以设置一些后续操作,如生成 PDF 文档后是否立即打开,以及是否生成"Output Job"文件等。

点击【完成】按钮完成 PDF 文件的导出,系统会自动打开生成的 PDF 文档,如图 4-59 所示。在左边的标签栏中层次式的列出了工程文件的结构,每张电路图纸中的元件、网络以及工程的元件报表。可

以点击各标签跳转到相应的项目,非常方便。

智能PDF						×
构建设置 为此PDF选择该结构					<	
构造						490
If checked physical designators	will be used in the exporte	ed PCB and schemation	sheets.			
□ 应用物理构造						
变量	[None]		9			
指定者						
网络标签						
端口和方块电路入口						
Sheet Number Parameter						
文档数参数						
			取消(C)	返回(日)	下一步 🛯 >	完成(E)

图 4-57 构建设置对话框

the PDF.		420
取消(C) 订	50 (B) T-5 (1)	完成 (F)
	the PDF.	the PDF.

图 4-58 完成 PDF 生成设置



4.5 多通道原理图设计

所谓多通道设计,是指对于多个完全相同的模块,不必进行重复设计,只要绘制一个子图符号(图 纸符号)和子电路(底层电路)直接设置模块的重复引用次数即可,系统在进行项目编译时会自动创建 正确的网络表。

下面以波峰检测电路为例介绍多通道原理图设计的子电路图 TD.SCHDOC,如图 4-60。被子电路总 图波峰检测电路.SCHDOC 调用 16 次。



图 4-60 TD 子电路

(1)新建工程文件,新建原理图,创建用于多通道设计的子电路 TD.SCHDOC 和用于调用该子图的 总电路波峰检测电路.SCHDOC。

(2) 在总电路文件波峰检测电路.SCHDOC 下执行菜单【设计】/【HDL 文件或图纸生成图标符】, 屏幕弹出图 4-61 所示的选择文档对话框,用于设置生产子图符号的电路,图中选择 TD.SCHDOC,单击 "确定"按钮,系统处于放置子图符号状态,光标上粘附着一个子图符号,如图 4-62 所示。

Choose Document to Place		?	×
文件名	/ 文件路径		
🖃 🚞 Schematic Documents			
🕞 TD.SchDoc	C:\E DISK\PCB\多通道原理图\		
	如何定	-	取消

图 4-61 选择文档对话框



图 4-62 自动创建的子图符号

(3) 在子图符号处于放置状态时,按键盘【Tab】键,打开图 4-63 所示的【方块符号】属性对话框, 设置【设计者】框中内容为"Repeat(U_TD,1,8)",其中"Repeat"为重复引用命令,"U_TD"为子图符号 的名称,"1"表示开始引用的序号,'16'表示最后引用的序号,从中可以看出子图 TD.SCHDOC 共引用 16 次。

方块符号	?	×
道具参数		
位置 450 470 X- Size130		
边界颜色		
····································	Smallest	
设计者 Repeat(U_TD,1,16) 唯一ID XVQNCIWQ	謝安排	
文件名 TD.SchDoc ··· □显示此处隐藏	文本文件	
□锁定		
确定	取注	Į

图 4-63 【方块符号】属性设置

(4)设置完毕后,将光标移动到合适位置,放置子图符号,放置好后单击鼠标右键退出放置状态,放置好后的图纸如图 4-64 所示,系统将自动将子图符号的 I/O 接口名称由 "P"修改为 "Repeat(P)"还有 "K"修改为 "Repeat(K)"。若未修改过来,可自行编辑子图符号属性修改端口名称。



图 4-64 放置好的 TD 子图符号

(5)根据电气属性在总图中将电路与子图符号连接好,完成总图设计,连接好的总图如图 4-65 所示。 最后保存所有电路。



图 4-65 连接好的总图

(6) 执行菜单【工程】/【Compile PCB Project 多通道层次原理图.PrjPcb】进行项目编译。

(7)执行菜单【报告】/【Report Project Hierarchy】,系统将生成该层次电路关系文件多通道层次原 理图.REP。

7)打开工作区,可以找到该文件,打开该文件后,从该文件中可以清晰地看到原理图的层次关系,如 图 4-66 所示,从图中可以看出"TD.SchDoc"文件被引用了 16 次。

S Altium Designer 6.9 - C:\E DISK\PCB\多通道原理图	NProject Outputs for 多通道层次	原理图\多通道层次原	理图.REP - 多通道层次原理图.PrjPcb. Licensed to A	LTIUM – 🗆 🗙
DXP(X)(X) 文件(F)(E) 编辑(E)(E) 察看(V)(V) 工程(C) 工具(T)(D) 窗口(W) (W) 帮助(H) (H) C:\E DISK\PCB\多道	通道原理图\Prc ▼ 🔾 ▼ 🔿 - 🔶
0 🛯 🗐 🔄 🖉 🖉 🖉 🖉 🖉				
Projects Q X				
•••••••••••••••••••••••••••••••••••••••	Home 波峰检测电路.SchDoc	TD.SchDoc	多通道层次原理图.REP	日本
Workspace1.DsnWrk < 工作台				思
多通道E次原理图 PriPch 工程	Design Hierarchy Repo:	rt for 多通道层次	原理图.PrjPcb	邗
J DE BAX (K) EXAMPLE	2016/10/13			
● 文件视图 ○ 构在编辑器	22:37:53			
回题 多通道巨次百碑图 PriPch *				
Source Documents	波峰检测电路	SCH	(波峰检测电路.SchDoc)	
日 🖬 波峰检测电路.SchDoc 🗎	U_TD1	SCH	(TD.SchDoc)	
TD.SchDoc 🗎	U_TD2	SCH	(TD.SchDoc)	
E Generated	U_TD3	SCH	(TD.SchDoc)	
	U_TD4	SCH	(ID.SchDoc)	
目 多通迫层次原理图.REP 目	U TD6	SCH	(TD.SchDoc)	
	U TD7	SCH	(TD.SchDoc)	
	U TD8	SCH	(TD.SchDoc)	
	U_TD9	SCH	(TD.SchDoc)	
	U_TD10	SCH	(TD.SchDoc)	
	U_TD11	SCH	(TD.SchDoc)	
	U_TD12	SCH	(TD.SchDoc)	
	U_IDI3	SCH	(ID.SchDoc)	
	II TD15	SCH	(TD.SchDoc)	
	U TD16	SCH	(TD.SchDoc)	
	-			
۲.				>
				掩膜级别 清除
1:1	Insert		System Design Compiler Help	Instruments OpenBusi周色板 >>

图 4-66 层次图关系报告文件内容

8)执行菜单【窗口】/【水平排列】,系统自动将打开的工作窗口水平排列,如图 4-67 所示,此时可 以同时观察多个图纸。



图 4-67 水平排列窗口显示

9)单击主工具栏上按钮,将光标移至需要切换的子图符号上,单击鼠标左键,即可将上层电路切换至下层的子图;若是从下层电路切换至上层电路,则是将光标移至下层电路的 I/O 端口上,单击鼠标左键进行切换,此时可以检查电路是否正确。